

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-168306  
(P2001-168306A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 F 0 0 1
21/8247		29/78	3 7 1	5 F 0 8 3
29/788				5 F 1 0 1
29/792				

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平11-350841

(22) 出願日 平成11年12月9日 (1999. 12. 9)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 井口 直

三重県四日市市山之一色町字中龍宮800番地  
株式会社東芝四日市工場内

(72) 発明者 姫野 嘉朗

三重県四日市市山之一色町字中龍宮800番地  
株式会社東芝四日市工場内

(74) 代理人 100092820

弁理士 伊丹 勝

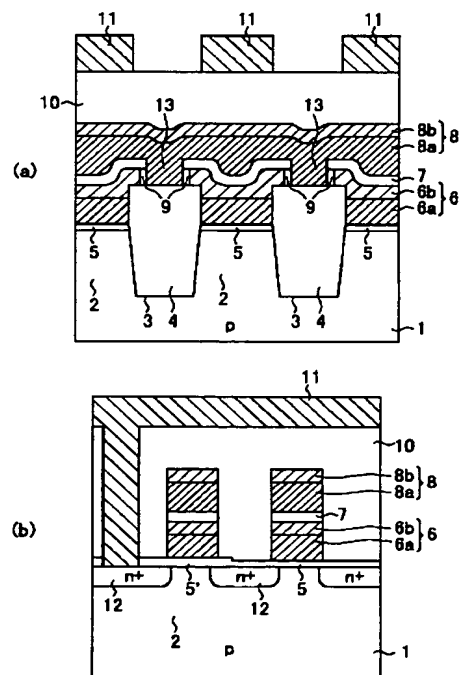
最終頁に続く

## (54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

## (57) 【要約】

【課題】 浮遊ゲート間の電荷移動によるデータ破壊を防止して信頼性向上を図った不揮発性半導体記憶装置を提供する。

【解決手段】 シリコン基板1にストライプ状の素子形成領域2を区画する素子分離絶縁膜4が埋め込まれる。この基板1に第1のゲート絶縁膜5を介して浮遊ゲート6が形成され、更に第2のゲート絶縁膜7を介して制御ゲート8が形成される。制御ゲート8に自己整合的にソース、ドレイン拡散層12が形成される。浮遊ゲート6上の第2のゲート絶縁膜7は、浮遊ゲート6と共に、素子分離絶縁膜4上でスリット13により隣接するメモリセル間で分離される。



1

## 【特許請求の範囲】

## 【請求項 1】 半導体基板と、

この半導体基板に素子分離絶縁膜により区画された複数の素子形成領域と、

前記各素子形成領域に第 1 のゲート絶縁膜を介して各素子形成領域毎に分離されて形成された浮遊ゲートと、

この浮遊ゲート上に形成されて素子分離絶縁膜上で切断分離された第 2 のゲート絶縁膜と、

この第 2 のゲート絶縁膜を介して前記浮遊ゲート上に形成された制御ゲートと、

この制御ゲートに自己整合されて形成されたソース、ドレイン拡散層と、を有することを特徴とする不揮発性半導体記憶装置。

## 【請求項 2】 半導体基板と、

この半導体基板に素子分離絶縁膜により区画された複数の素子形成領域と、

前記各素子形成領域に第 1 のゲート絶縁膜を介して各素子形成領域毎に分離されて形成された浮遊ゲートと、

この浮遊ゲート上に形成され、且つ前記素子分離絶縁膜の表面に形成された凹部に沿って複数の素子形成領域にまたがって連続的に形成された第 2 のゲート絶縁膜と、  
この第 2 のゲート絶縁膜を介して前記浮遊ゲート上に形成された制御ゲートと、

この制御ゲートに自己整合的に形成されたソース、ドレイン拡散層と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 前記第 2 のゲート絶縁膜は、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層膜であることを特徴とする請求項 1 又は 2 の不揮発性半導体記憶装置。

【請求項 4】 半導体基板に素子形成領域を区画する素子分離絶縁膜を形成する工程と、

前記半導体基板に第 1 のゲート絶縁膜を介して第 1 のゲート電極材料膜と第 2 のゲート絶縁膜を堆積する工程と、

前記第 2 のゲート絶縁膜及びその下の第 1 のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第 1 のゲート電極材料膜を分離するスリットを形成する工程と、

前記第 1 のゲート電極材料膜の側面に絶縁膜を形成した後、第 2 のゲート電極材料膜を堆積する工程と、

前記第 2 のゲート電極材料膜、第 2 のゲート絶縁膜、第 1 のゲート電極材料膜を順次エッチングして、前記第 1 のゲート電極材料膜からなる浮遊ゲートと前記第 2 のゲート電極材料膜から制御ゲートをパターン形成する工程と、

前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 5】 半導体基板に素子形成領域を区画する素

2

子分離絶縁膜を形成する工程と、

前記半導体基板に第 1 のゲート絶縁膜を介して第 1 のゲート電極材料膜と第 2 のゲート絶縁膜を堆積する工程と、

前記第 2 のゲート絶縁膜及びその下の第 1 のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第 1 のゲート電極材料膜を分離するスリットを形成する工程と、

第 3 のゲート絶縁膜及び第 2 のゲート電極材料膜を順次堆積する工程と、

前記第 2 のゲート電極材料膜、第 3 及び第 2 のゲート絶縁膜、第 1 のゲート電極材料膜を順次エッチングして、前記第 1 のゲート電極材料膜からなる浮遊ゲートと前記第 2 のゲート電極材料膜からなる制御ゲートをパターン形成する工程と、

前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 6】 半導体基板に素子形成領域を区画する素子分離絶縁膜を形成する工程と、

前記半導体基板に第 1 のゲート絶縁膜を介して第 1 のゲート電極材料膜を堆積する工程と、

前記第 1 のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第 1 のゲート電極材料膜を分離する第 1 のスリットを形成する工程と、

前記第 1 のゲート電極材料膜及び素子分離絶縁膜上に第 2 のゲート絶縁膜を堆積する工程と、

前記第 2 のゲート絶縁膜の前記第 1 のスリットに重なる部分をエッチングして前記素子分離絶縁膜上で前記第 2 のゲート絶縁膜を分離する第 2 のスリットを形成する工程と、

第 2 のゲート電極材料膜を堆積する工程と、

前記第 2 のゲート電極材料膜、第 2 のゲート絶縁膜、第 1 のゲート電極材料膜を順次エッチングして、前記第 1 のゲート電極材料膜からなる浮遊ゲートと前記第 2 のゲート電極材料膜からなる制御ゲートをパターン形成する工程と、

前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 7】 半導体基板に素子形成領域を区画する素子分離絶縁膜を形成する工程と、

前記半導体基板に第 1 のゲート絶縁膜を介して第 1 のゲート電極材料膜を堆積する工程と、

前記第 1 のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第 1 のゲート電極材料膜を分離するスリットを形成する工程と、

前記スリットに露出した前記素子分離絶縁膜の表面をエッチングして凹部を形成する工程と、

前記第 1 のゲート電極材料膜及び素子分離絶縁膜上に第

## 3

1 のゲート絶縁膜を介して第 2 のゲート電極材料膜を堆積する工程と、

前記第 2 のゲート電極材料膜、第 2 のゲート絶縁膜、第 1 のゲート電極材料膜を順次エッチングして、前記第 1 のゲート電極材料膜からなる浮遊ゲートと前記第 2 のゲート電極材料膜からなる制御ゲートをパターン形成する工程と、

前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 8】 前記第 2 のゲート絶縁膜は、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層膜であることを特徴とする請求項 4 乃至 7 のいずれかに記載の不揮発性半導体記憶装置の製造方法。

【請求項 9】 前記第 1 のゲート電極材料膜は、前記素子分離絶縁膜の形成前に堆積される第 1 の導電膜と、前記素子分離絶縁膜形成後に堆積される第 2 の導電膜の積層膜からなることを特徴とする請求項 4 乃至 7 のいずれかに記載の不揮発性半導体記憶装置の製造方法。

【請求項 10】 前記素子分離絶縁膜は、前記半導体基板に形成された溝に埋め込まれることを特徴とする請求項 4 乃至 7 のいずれかに記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、不揮発性半導体記憶装置とその製造方法に関する。

【0002】

【従来の技術】 浮遊ゲートと制御ゲートが積層されたスタクト・ゲート構造のメモリセルを用いて電氣的書き換え可能とした不揮発性半導体メモリ（EEPROM）が知られている。この種の EEPROM においては、浮遊ゲートと半導体基板の間の第 1 のゲート絶縁膜にはトンネル絶縁膜が用いられ、浮遊ゲートと制御ゲートの間の第 2 のゲート絶縁膜には通常、シリコン酸化膜（O）／シリコン窒化膜（N）／シリコン酸化膜（O）の積層構造膜である ONO 膜が用いられる。

【0003】 各メモリセルは、素子分離絶縁膜により区画された素子形成領域に形成される。一般に浮遊ゲート電極膜は、素子分離絶縁膜上でスリット加工することにより、制御ゲート線（ワード線）方向の分離がなされる。このスリット加工の段階ではビット線方向の浮遊ゲート分離はなされていない。そして、スリット加工された浮遊ゲート電極膜を含む基板全面に ONO 膜を介して制御ゲート電極膜が堆積され、この制御ゲート電極膜、ONO 膜、浮遊ゲート電極膜を順次エッチングすることにより、ビット線方向に制御ゲートと浮遊ゲートの分離がなされる。この後、ソース、ドレイン拡散層が制御ゲートに自己整合的に形成される。

【0004】

## 4

【発明が解決しようとする課題】 上述した従来の EEPROM 構造では、ワード線方向に隣接するメモリセルの浮遊ゲートは素子分離絶縁膜上で分離されるが、この上に形成される ONO 膜はワード線方向に連続的に配設される。この構造では、メモリセルを微細化し、ワード線方向の浮遊ゲートの分離幅（スリット幅）が狭くなると、隣接する浮遊ゲートの電荷蓄積状態が異なる時に ONO 膜を介して電荷の移動が生じることが明らかになっている。これは、ONO 膜のシリコン窒化膜又はシリコン窒化膜とシリコン酸化膜の界面を横方向に電荷が移動し易いためである。従って、微細化した EEPROM においては、ワード線方向に隣接するメモリセルが異なるデータ状態のときに、電荷移動によりしきい値変動が生じ、場合によってはデータ破壊に至る。

【0005】 この発明は、上記事情を考慮してなされたもので、浮遊ゲート間の電荷移動によるデータ破壊を防止して信頼性向上を図った不揮発性半導体記憶装置とその製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】 この発明に係る不揮発性半導体記憶装置は、半導体基板と、この半導体基板に素子分離絶縁膜により区画された複数の素子形成領域と、前記各素子形成領域に第 1 のゲート絶縁膜を介して各素子形成領域毎に分離されて形成された浮遊ゲートと、この浮遊ゲート上に形成されて素子分離絶縁膜上で切断分離された第 2 のゲート絶縁膜と、この第 2 のゲート絶縁膜を介して前記浮遊ゲート上に形成された制御ゲートと、この制御ゲートに自己整合されて形成されたソース、ドレイン拡散層と、を有することを特徴とする。

【0007】 この発明に係る不揮発性半導体記憶装置はまた、半導体基板と、この半導体基板に素子分離絶縁膜により区画された複数の素子形成領域と、前記各素子形成領域に第 1 のゲート絶縁膜を介して各素子形成領域毎に分離されて形成された浮遊ゲートと、この浮遊ゲート上に形成され、且つ前記素子分離絶縁膜の表面に形成された凹部に沿って複数の素子形成領域にまたがって連続的に形成された第 2 のゲート絶縁膜と、この第 2 のゲート絶縁膜を介して前記浮遊ゲート上に形成された制御ゲートと、この制御ゲートに自己整合的に形成されたソース、ドレイン拡散層と、を有することを特徴とする。

【0008】 この発明に係る不揮発性半導体記憶装置の製造方法は、第 1 に、半導体基板に素子形成領域を区画する素子分離絶縁膜を形成する工程と、前記半導体基板に第 1 のゲート絶縁膜を介して第 1 のゲート電極材料膜と第 2 のゲート絶縁膜を堆積する工程と、前記第 2 のゲート絶縁膜及びその下の第 1 のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第 1 のゲート電極材料膜を分離するスリットを形成する工程と、前記第 1 のゲート電極材料膜の側面に絶縁膜を形成した後、第 2 のゲート電極材料膜を堆積する工程と、前記第 2 のゲ

5

ート電極材料膜、第2のゲート絶縁膜、第1のゲート電極材料膜を順次エッチングして、前記第1のゲート電極材料膜からなる浮遊ゲートと前記第2のゲート電極材料膜からなる制御ゲートをパターン形成する工程と、前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする。

【0009】この発明に係る不揮発性半導体記憶装置の製造方法は、第2に、半導体基板に素子形成領域を区画する素子分離絶縁膜を形成する工程と、前記半導体基板に第1のゲート絶縁膜を介して第1のゲート電極材料膜と第2のゲート絶縁膜を堆積する工程と、前記第2のゲート絶縁膜及びその下の第1のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第1のゲート電極材料膜を分離するスリットを形成する工程と、第3のゲート絶縁膜及び第2のゲート電極材料膜を順次堆積する工程と、前記第2のゲート電極材料膜、第3及び第2のゲート絶縁膜、第1のゲート電極材料膜を順次エッチングして、前記第1のゲート電極材料膜からなる浮遊ゲートと前記第2のゲート電極材料膜からなる制御ゲートをパターン形成する工程と、前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする。

【0010】この発明に係る不揮発性半導体記憶装置の製造方法は、第3に、半導体基板に素子形成領域を区画する素子分離絶縁膜を形成する工程と、前記半導体基板に第1のゲート絶縁膜を介して第1のゲート電極材料膜を堆積する工程と、前記第1のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第1のゲート電極材料膜を分離する第1のスリットを形成する工程と、前記第1のゲート電極材料膜及び素子分離絶縁膜上に第2のゲート絶縁膜を堆積する工程と、前記第2のゲート電極材料膜、第2のゲート絶縁膜、第1のゲート電極材料膜を順次エッチングして、前記第1のゲート電極材料膜からなる浮遊ゲートと前記第2のゲート電極材料膜からなる制御ゲートをパターン形成する工程と、前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする。

【0011】この発明に係る不揮発性半導体記憶装置の製造方法は、第4に、半導体基板に素子形成領域を区画する素子分離絶縁膜を形成する工程と、前記半導体基板に第1のゲート絶縁膜を介して第1のゲート電極材料膜を堆積する工程と、前記第1のゲート電極材料膜をエッチングして前記素子分離絶縁膜上で前記第1のゲート電極材料膜を分離するスリットを形成する工程と、前記スリットに露出した前記素子分離絶縁膜の表面をエッチングして凹部を形成する工程と、前記第1のゲート電極材

6

料膜及び素子分離絶縁膜上に第1のゲート絶縁膜を介して第2のゲート電極材料膜を堆積する工程と、前記第2のゲート電極材料膜、第2のゲート絶縁膜、第1のゲート電極材料膜を順次エッチングして、前記第1のゲート電極材料膜からなる浮遊ゲートと前記第2のゲート電極材料膜からなる制御ゲートをパターン形成する工程と、前記制御ゲートに自己整合されたソース、ドレイン拡散層を形成する工程と、を有することを特徴とする。

【0012】この発明によると、浮遊ゲートと制御ゲートの間の第2のゲート絶縁膜を、素子分離絶縁膜を挟んで隣接するメモリセルの間に、素子分離絶縁膜上で分離することより、この第2のゲート絶縁膜を介しての隣接する浮遊ゲートの間の電荷移動が防止される。また、第2のゲート絶縁膜を素子分離膜上で完全に分離しなくても、素子分離絶縁膜表面に凹部を加工して、第2のゲート絶縁膜がこの凹部に沿って連続するようにすれば、実質的に隣接浮遊ゲート間の距離が大きくなったと等価になり、やはり隣接する浮遊ゲート間の電荷移動が防止される。従って、メモリセルを微細化した場合にも、電荷移動によるデータ破壊を防止して、信頼性向上を図ることができる。

【0013】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。【実施の形態1】図1はこの発明の実施の形態1によるNAND型EEPROMのセルアレイのレイアウトであり、図2(a)、(b)はそれぞれ図1のA-A'、B-B'断面図である。

【0014】メモリセルアレイは、シリコン基板1のp型ウェルに形成されている。シリコン基板1には、素子分離溝3が形成されてここに素子分離絶縁膜4が埋め込み形成され、この素子分離絶縁膜3によりストライプ状の素子形成領域2が区画されている。

【0015】各素子形成領域2にトンネル絶縁膜である第1のゲート絶縁膜5を介して浮遊ゲート6が形成されている。浮遊ゲート6は、素子分離前に形成された第1の多結晶シリコン（或いは非晶質シリコン）膜6aと、素子分離後に形成された第2の多結晶シリコン（或いは非晶質シリコン）膜6bの二層構造であり、各メモリセル毎に分離されている。浮遊ゲート6上には、第2のゲート絶縁膜7を介して制御ゲート8が形成されている。制御ゲート8は、多結晶シリコン（或いは非晶質シリコン）膜8aとタングステン・シリサイド(WSi)膜8bの二層構造である。制御ゲート8は、図2(a)の断面で複数の素子形成領域2にまたがって連続的にパターン形成され、これがワード線WLとなる。

【0016】浮遊ゲート6と制御ゲート8の間の第2のゲート絶縁膜7は、ONO膜である。この実施の形態において、この第2のゲート絶縁膜7は、図2(a)の断面に示すワード線WL方向について、各浮遊ゲート6上

50

7

ト 13 により分離されている。従って、浮遊ゲート 6 の側面にはシリコン酸化膜 9 が形成され、これにより制御ゲート 8 との分離がなされている。制御ゲート 8 に自己整合的にソース、ドレイン拡散層 12 が形成されて、複数のメモリセルが直列接続された NAND 型セルユニットが構成される。

【0017】NAND 型セルユニットの一端ドレイン側は、制御ゲート 8 と同時に形成される選択ゲート 13 が配置され、そのドレイン拡散層にビット線 (BL) 11 が接続される。選択ゲート 13 部は、メモリセルのゲート部と同様の積層ゲート構造を持つが、第 1 層ゲート電極材料膜は浮遊ゲートとしては分離されず、二層が一体として所定箇所短絡されて選択ゲート 13 となる。また、この選択ゲート 13 部の第 1 のゲート絶縁膜 5' はメモリセル領域のそれより厚く形成される。NAND セルユニットの他端ソース側は示していないが、ドレイン側と同様に構成される。

【0018】この実施の形態による EEPROM の具体的な製造工程を、図 2 (a) (b) の断面に対応する工程断面図である図 3 (a) (b) ~ 図 8 (a) (b) を参照して説明する。図 3 (a) (b) に示すように、シリコン基板 1 にまず、第 1 のゲート絶縁膜 5 として、10 nm のシリコン酸化膜を形成し、この上にゲート電極材料膜である 60 nm の第 1 の多結晶シリコン膜 6 a を堆積し、更に素子分離加工のためのマスク材 21 を堆積する。なお選択ゲートトランジスタ領域にはセルトランジスタ領域に比べて厚いゲート絶縁膜 5' を形成する。マスク材 21 は、シリコン窒化膜とシリコン酸化膜の積層膜である。このマスク材 21 を素子形成領域上に残すようにパターン形成し、これを用いて多結晶シリコン膜 6 a、第 1 のゲート絶縁膜 5、5' をエッチングし、更に基板 1 をエッチングして、素子分離溝 3 を形成する。

【0019】この後、O<sub>2</sub> 雰囲気中で 1000℃ の加熱を行い、図 4 (a) (b) に示すように、素子分離溝 3 の内壁に 6 nm 程度のシリコン酸化膜 22 を形成する。続いて、プラズマ CVD によりシリコン酸化膜を堆積し、これを CMP 処理により平坦化して素子分離溝 3 内に素子分離絶縁膜 4 として埋め込む。その後、900℃ の窒素雰囲気中で 900℃ の加熱処理を行った後、マスク材 21 を除去する。シリコン窒化膜の除去は 150℃ のリン酸処理による。

【0020】その後、図 5 (a) (b) に示すように、ゲート電極材料膜として、減圧 CVD 法によりリンがドーパされた第 2 の多結晶シリコン膜 6 b を堆積し、続いて、第 2 のゲート絶縁膜 7 となる ONO 膜を堆積する。そして、素子分離絶縁膜 4 上に開口を持つレジストパターンをマスクとして、これらの第 2 のゲート絶縁膜 7 と第 2 の多結晶シリコン膜 6 b を RIE にエッチングして、図 6 (a) (b) に示すように、浮遊ゲート 6 を素子分離絶縁膜 4 上で分離するスリット 13 を形成する。

8

スリット 13 は、NAND セルユニットの中の複数のメモリセルにまたがる長さを持つ。第 2 ゲート絶縁膜 7 についても同時に素子分離絶縁膜 4 上でスリット 13 により分離する点が従来と異なる。

【0021】スリット 13 の加工により露出した多結晶シリコン膜 6 b の側面は、O<sub>2</sub> 雰囲気中、1000℃ の加熱によりシリコン酸化膜 9 を形成して保護する。この後、図 7 (a) (b) に示すように、ゲート電極材料膜として、CVD 法によりリンがドーパされた多結晶シリコン膜 8 a を堆積し、引き続きこの上に WSi 膜 8 b を堆積する。

【0022】次にレジストをパターン形成し、RIE により、WSi 膜 8 b、多結晶シリコン膜 8 a、ゲート絶縁膜 7、多結晶シリコン膜 6 b、6 a、ゲート絶縁膜 5 を順次エッチングして、図 8 (a) (b) に示すように、制御ゲート 8 を連続的なワード線 WL としてパターン形成し、また浮遊ゲート 6 をビット線方向について各メモリセル毎に分離する。そしてイオン注入を行って、制御ゲート 8 に自己整合された各メモリセルのソース、ドレイン拡散層 12 を形成する。

【0023】なお、選択ゲート線 SG については、下部ゲート電極材料膜 6 a、6 b の素子分離絶縁膜 4 上での分離を行わず、上部ゲート電極材料膜 8 a、8 b と一体に連続的にパターン形成される。この後、図 2 (a)

(b) に示すように、層間絶縁膜 10 を堆積し、コンタクト孔あけを行ってビット線 11 をパターン形成する。

【0024】以上のようにこの実施の形態によれば、浮遊ゲート 6 上の ONO 膜からなる第 2 のゲート電極材料膜は、浮遊ゲート 6 と同時に素子分離絶縁膜 4 上で分離されている。従って、隣接メモリセルの浮遊ゲートが近接した場合にも、電荷リークが生じることはなく、データ保持特性が優れたものとなる。

【0025】〔実施の形態 2〕図 9 (a) (b) ~ 図 12 (a) (b) は別の実施の形態の製造工程を示す。先の実施の形態と対応する部分には先の実施の形態と同一符号を付して詳細な説明は省く。この実施の形態でも、浮遊ゲート 6 上の ONO 膜からなる第 2 のゲート絶縁膜 7 を素子分離絶縁膜 4 上で分離するが、その工程が先の実施の形態と異なる。

【0026】図 5 (a) (b) までは、先の実施の形態と同様の工程をとる。この後、図 9 (a) (b) に示すように、第 2 のゲート絶縁膜 7 上にシリコン酸化膜 31 を堆積して、これに素子分離絶縁膜 4 上でスリット加工用開口 13' を開ける。更にシリコン酸化膜 32 を堆積する。そして、エッチバックを行って、図 10 (a)

(b) に示すように、開口 13' にシリコン酸化膜 32 をサイドスペーサとして残す。この状態で、シリコン酸化膜 31、32 をマスクとして、第 2 のゲート絶縁膜 7 と多結晶シリコン膜 6 b を RIE によりエッチングする。これにより、先の実施の形態と同様に、素子分離絶

9

緑膜 4 上で第 2 のゲート絶縁膜 7 と多結晶シリコン膜 6 b を分離するスリット 13 を加工する。

【0027】この後、シリコン酸化膜 3 1、3 2 を HF により除去した後、図 11 (a) (b) に示すように、全面に減圧 CVD 法によりシリコン酸化膜 3 3 を堆積する。このシリコン酸化膜 3 3 は堆積後、O<sub>2</sub> 雰囲気中、1000℃で加熱して、電荷移動等のない緻密酸化膜とする。このシリコン酸化膜 3 3 は第 2 のゲート絶縁膜 7 と共にゲート絶縁膜となり、また多結晶シリコン膜 6 b の側面を保護する絶縁膜となる。

【0028】この後、図 12 (a) (b) に示すように、多結晶シリコン膜 8 a、及び WSi 膜 8 b を順次堆積し、以下先の実施の形態と同様にこれをパターニングして、制御ゲート 6 及び浮遊ゲート 6 を形成し、ソース、ドレイン拡散層 12 を形成する。この実施の形態によっても、先の実施の形態と同様に、浮遊ゲート 6 上の ONO 膜からなるゲート絶縁膜 7 は、素子分離領域で切断分離される。従って、優れたデータ保持特性が得られる。

【0029】[実施の形態 3] 図 13 (a) (b) ~ 図 16 (a) (b) は更に別の実施の形態の製造工程である。先の実施の形態では、図 5 (a) (b) に示すように、2 層目の多結晶シリコン膜 6 b と第 2 のゲート絶縁膜 7 を連続的に堆積した。これに対し、この実施の形態では、図 13 (a) (b) に示すように、2 層目の多結晶シリコン膜 6 b について、第 2 のゲート絶縁膜 7 を堆積する前に、素子分離絶縁膜 4 上で分離するスリット 13 を形成する。その後、第 2 のゲート絶縁膜 7 を堆積する。

【0030】そして、第 2 のゲート絶縁膜 6 b 上に、スリット 13 と同じ開口を持つレジスタパターン (図示せず) を形成し、第 2 のゲート絶縁膜 6 b を RIE によりエッチングして、図 14 (a) (b) に示すように、スリット 13 の部分で分離する。その後、先の実施の形態と同様に、図 15 (a) (b) に示すように、ゲート電極材料膜として、CVD 法によりリンがドーブされた多結晶シリコン膜 8 a を堆積し、引き続きこの上に WSi 膜 8 b を堆積する。

【0031】次にレジストをパターン形成し、RIE により、WSi 膜 8 b、多結晶シリコン膜 8 a、ゲート絶縁膜 7、多結晶シリコン膜 6 b、6 a、ゲート絶縁膜 5 を順次エッチングして、図 16 (a) (b) に示すように、制御ゲート 8 を連続的なワード線 WL としてパターン形成し、また浮遊ゲート 6 をビット線方向について各メモリセル毎に分離する。そしてイオン注入を行って、制御ゲート 8 に自己整合された各メモリセルのソース、ドレイン拡散層 12 を形成する。この実施の形態によっても、浮遊ゲート 6 上の第 2 のゲート絶縁膜 7 は、素子分離絶縁膜 4 上で分離されるから、先の実施の形態と同様に優れたデータ保持特性が得られる。

10

【0032】[実施の形態 4] ここまでの実施の形態では、第 2 のゲート絶縁膜 7 を素子分離絶縁膜 4 上で切断分離したが、この実施の形態では切断分離を行わずに実質的に同等の効果を得ようというものである。この実施の形態でのセルアレイの断面構造を、図 2 (a) (b) に対応させて、図 17 (a) (b) に示す。

【0033】図 17 (a) (b) の構造が、図 2 (a) (b) と異なる点は、浮遊ゲート 6 を素子分離絶縁膜 4 上で分離するスリット 13 の加工を第 2 のゲート絶縁膜 7 の堆積前に行い、そのとき同時に素子分離絶縁膜 4 に対してリセスエッチングを行って凹部 4 1 を形成していることである。従って第 1 のゲート絶縁膜 7 は、素子分離絶縁膜 4 の表面に形成された凹部に沿って配設される。

【0034】図 17 (a) に示すように、スリット 13 の幅、従って素子分離絶縁膜 4 に形成された凹部 4 1 の幅を a、凹部 4 1 の深さを b とすると、隣接する浮遊ゲート 6 の間隔は実質的に、 $a + 2b$  となる。この間隔を、浮遊ゲート間の電荷移動が無視できる値に設定することにより、先の各実施の形態と同様に優れたデータ保持特性が得られる。

【0035】この実施の形態の具体的な製造工程を、図 17 (a) の断面に着目して、図 18 ~ 図 25 を参照して説明する。図 18 に示すように、シリコン基板 1 に第 1 のゲート絶縁膜 5 として 8 nm 程度のシリコン酸化膜を形成し、この上に減圧 CVD 法により 60 nm 程度の第 1 の多結晶シリコン膜 6 a を堆積する。連続して、減圧 CVD 法により、150 nm のシリコン窒化膜 2 1 a、及び 165 nm のシリコン酸化膜 2 1 b を堆積する。

【0036】その後、850℃、30 分の水素熱酸処理を行った後、素子分離領域を覆うようにリソグラフィによりレジスタパターンを形成し、RIE によりシリコン酸化膜 2 1 b とシリコン窒化膜 2 1 a をエッチングしてマスク材をパターン形成する。このマスク材を用いて、RIE により多結晶シリコン膜 6 a、ゲート絶縁膜 5 をエッチングし、更にシリコン基板 1 をエッチングして素子分離溝 3 を形成する。これによりストライプ状の素子形成領域 2 が区画される。

【0037】続いて、素子分離溝 3 の側壁に熱酸化膜を形成した後、プラズマ CVD 法によりシリコン酸化膜 4 を堆積し、これを CMP 処理して平坦化して、図 19 に示すように素子分離溝 3 内に埋め込む。シリコン酸化膜 2 1 b は緩衝フッ酸により除去し、更に 150℃、30 分の磷酸処理によりシリコン窒化膜 2 1 a を除去して、図 20 の状態を得る。

【0038】この後、図 21 に示すように、減圧 CVD 法により 100 nm の第 2 の多結晶シリコン膜 6 b を堆積する。続いて、図 22 に示すように、減圧 CVD 法によりシリコン酸化膜 4 2 を 230 nm 程度堆積し、これ

にリソグラフィとR I E工程を経て、スリット加工用開口13'を形成する。更に、図23に示すように、減圧CVD法により70nm程度のシリコン酸化膜43を堆積し、エッチバックを行って、開口13'の側壁のみにサイドスペーサとして残す。

【0039】続いて、シリコン酸化膜42、43をマスクとして、R I Eにより多結晶シリコン膜6bをエッチングして、図24に示すように、浮遊ゲートを分離するためのスリット13を加工する。更に、多結晶シリコンとの選択比の大きいR I E法により素子分離絶縁膜4の表面をエッチングして、スリット13と同じ幅で素子分離絶縁膜4に凹部41を形成する。

【0040】その後、O<sub>2</sub>プラズマとHF処理によりシリコン酸化膜42、43を除去した後、図25に示すように、17nmのONO膜からなる第2のゲート絶縁膜7を堆積し、引き続き減圧CVD法により100nmの第3の多結晶シリコン膜8a、プラズマCVD法により50nmのWSi膜8bを順次堆積する。以下、図示しないが、先の実施の形態と同様の工程を経て、各メモリのゲート部の分離とソース、ドレイン拡散層形成を行う。

【0041】図26は、隣接する浮遊ゲートを分離するスリット幅と、浮遊ゲート間の電荷移動により発生する不良ビット数の相関関係を示したものである。図の矢印は不良ビット数のばらつきの範囲を示しており、曲線がその平均値を結んだものである。メモリセルを微細化し高密度化して、スリット幅が0.14μm以下にまで小さくなると、極端に不良ビット数が多くなることがわかる。この実施の形態によると、平面上のスリット幅aに対して、素子分離絶縁膜4の凹部の深さbにより、実質的なスリット幅をa+2bとすることができる。具体的に、256MビットNAND型EEPROMにおいて、不良ビット数の仕様を2ビット/チップとしたとき、スリット幅は少なくとも0.14μmが必要となる。従ってこの実施の形態の場合、a+2b>0.14[μm]を満たすように凹部41を加工することにより、この仕様を満たすことができる。

【0042】

【発明の効果】以上述べたようにこの発明によるEEPROMでは、浮遊ゲートと制御ゲートの間の第2のゲート絶縁膜を、素子分離絶縁膜を挟んで隣接するメモリセルの間で、素子分離絶縁膜上で分離することにより、隣接する浮遊ゲート間の電荷移動が防止される。或いは、第2のゲート絶縁膜を素子分離膜上で完全に分離しなくても、素子分離絶縁膜表面に凹部を加工して、第2のゲ

ート絶縁膜がこの凹部に沿って連続するようにすれば、実質的に隣接浮遊ゲート間の距離が大きくなり、隣接する浮遊ゲート間の電荷移動が防止される。従って、メモリセルを微細化した場合にも、電荷移動によるデータ破壊が防止される。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるEEPROMのメモリセルアレイのレイアウトである。

【図2】図1のA-A'およびB-B'断面図である。

【図3】同実施の形態1の製造工程断面図である。

【図4】同実施の形態1の製造工程断面図である。

【図5】同実施の形態1の製造工程断面図である。

【図6】同実施の形態1の製造工程断面図である。

【図7】同実施の形態1の製造工程断面図である。

【図8】同実施の形態1の製造工程断面図である。

【図9】この発明の実施の形態2の製造工程断面図である。

【図10】同実施の形態2の製造工程断面図である。

【図11】同実施の形態2の製造工程断面図である。

【図12】同実施の形態2の製造工程断面図である。

【図13】この発明の実施の形態3の製造工程断面図である。

【図14】同実施の形態3の製造工程断面図である。

【図15】同実施の形態3の製造工程断面図である。

【図16】同実施の形態3の製造工程断面図である。

【図17】この発明の実施の形態4によるEEPROMの図2(a)(b)に対応する断面図である。

【図18】同実施の形態4の製造工程断面図である。

【図19】同実施の形態4の製造工程断面図である。

【図20】同実施の形態4の製造工程断面図である。

【図21】同実施の形態4の製造工程断面図である。

【図22】同実施の形態4の製造工程断面図である。

【図23】同実施の形態4の製造工程断面図である。

【図24】同実施の形態4の製造工程断面図である。

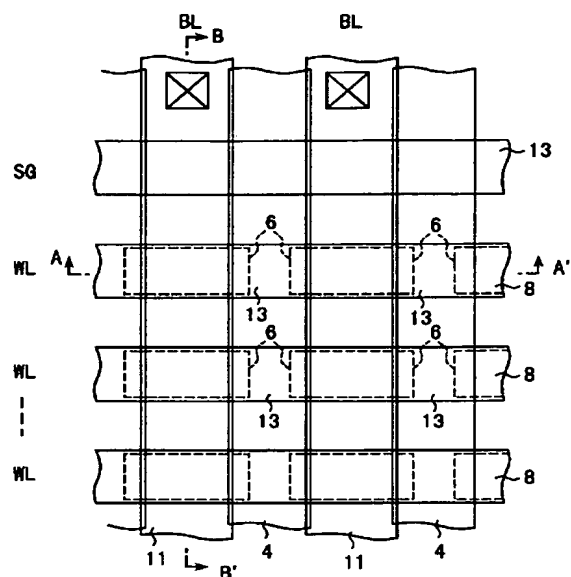
【図25】同実施の形態4の製造工程断面図である。

【図26】同実施の形態4の効果を説明するための不良ビット数とスリット幅の相関関係を示す図である。

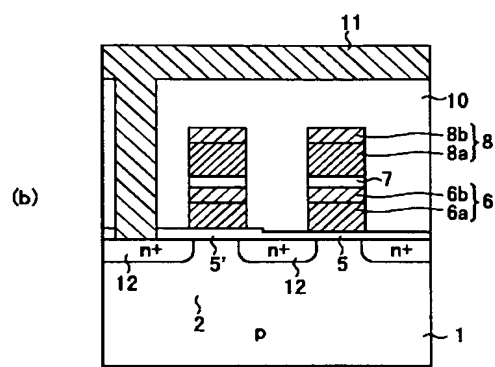
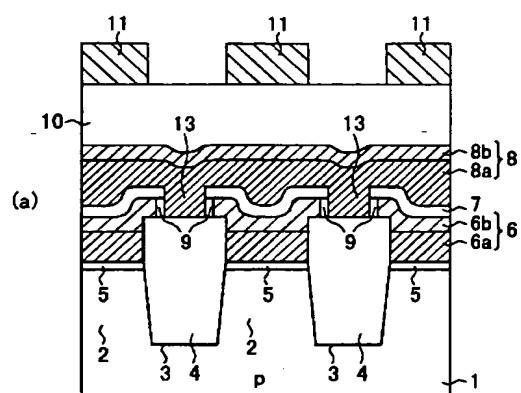
【符号の説明】

1…シリコン基板、2…素子形成領域、3…素子分離溝、4…素子分離絶縁膜、5…第1のゲート絶縁膜、6…浮遊ゲート、7…第2のゲート絶縁膜、8…制御ゲート、9…シリコン酸化膜、10…層間絶縁膜、11…ビット線、12…ソース、ドレイン拡散層、13…スリット。

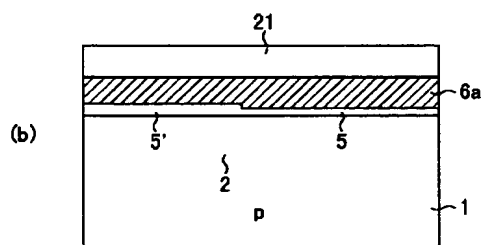
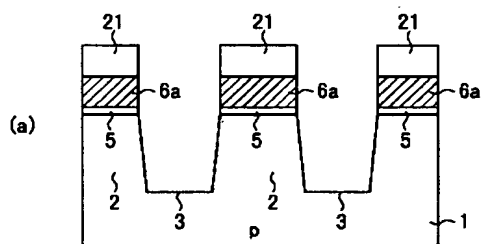
【図1】



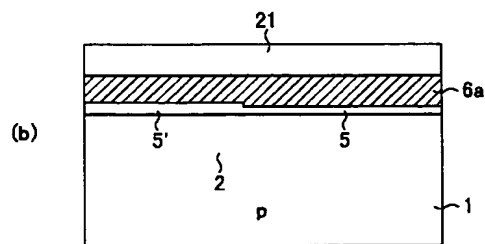
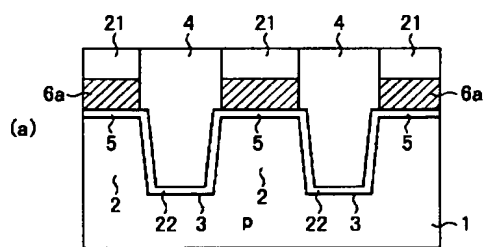
【図2】



【図3】

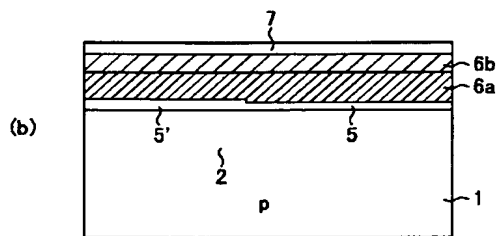
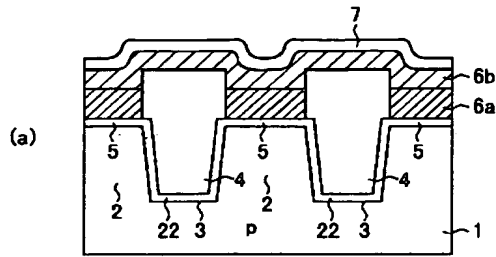


【図4】

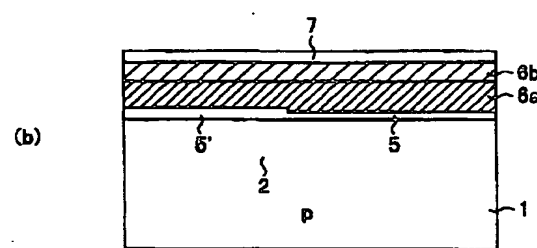
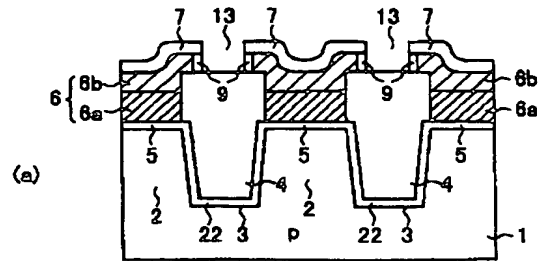




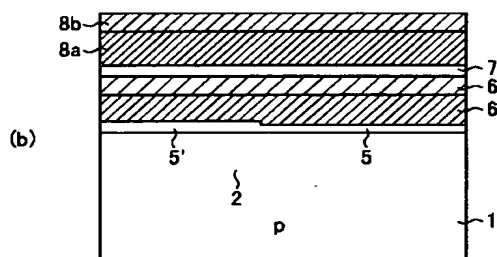
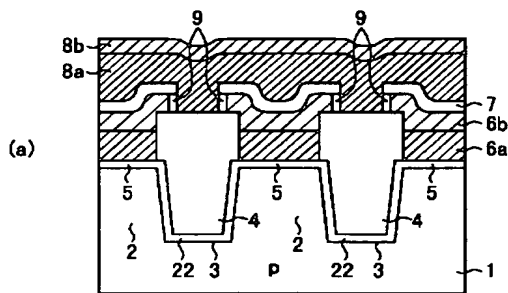
【図 5】



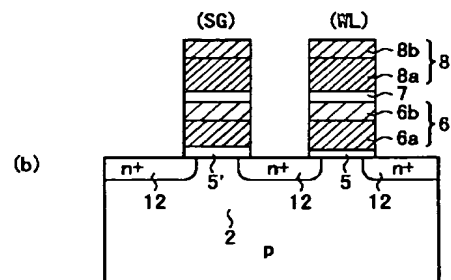
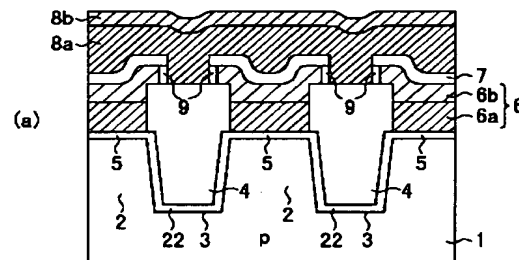
【図 6】



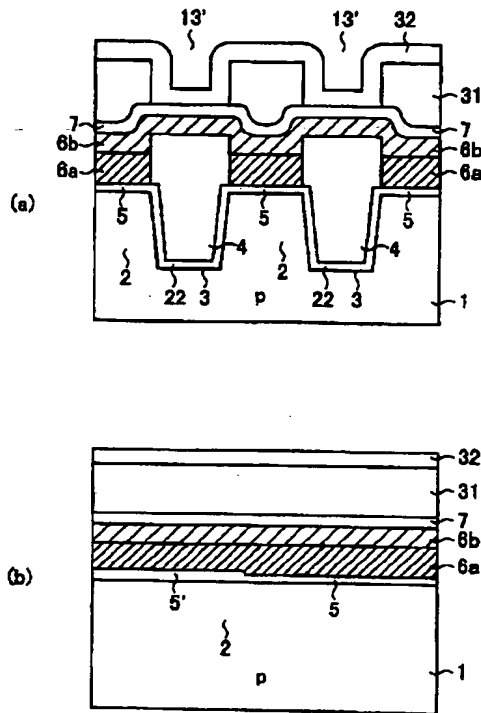
【図 7】



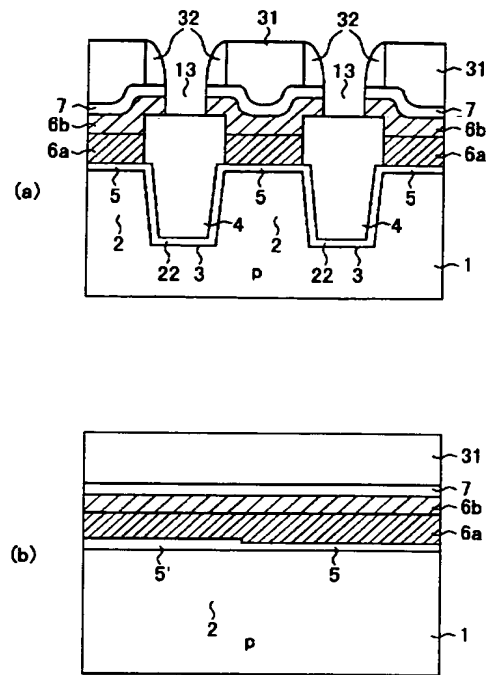
【図 8】



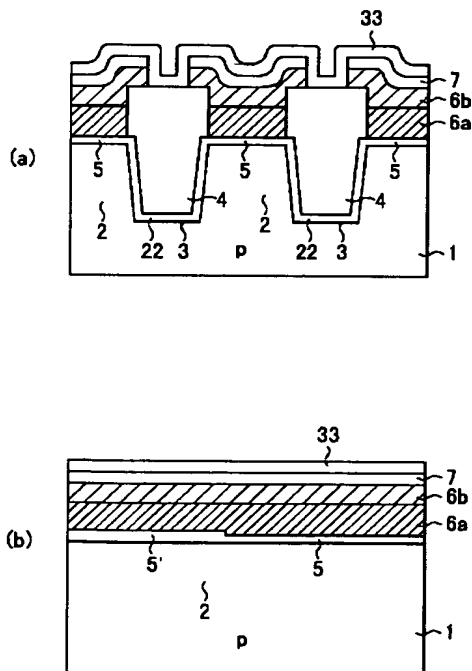
【図 9】



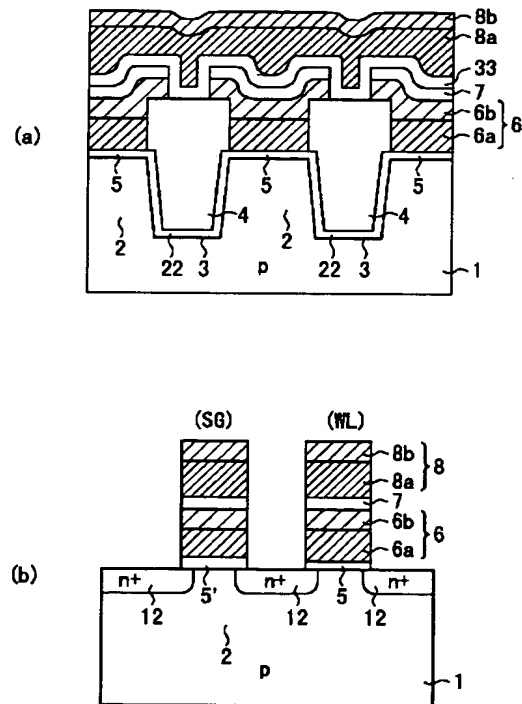
【図 10】



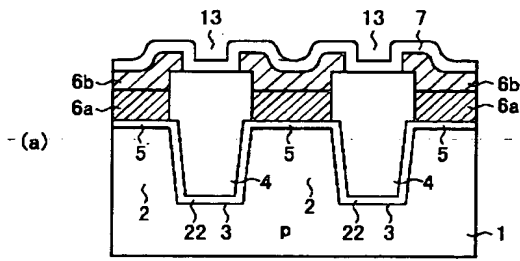
【図 11】



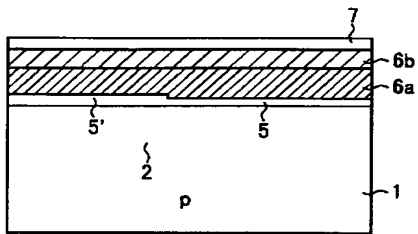
【図 12】



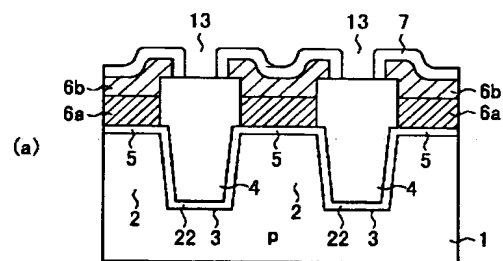
【図 13】



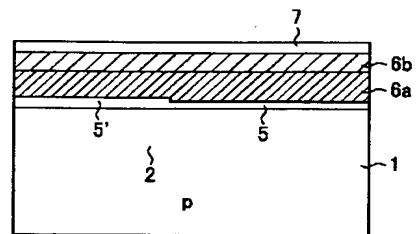
(b)



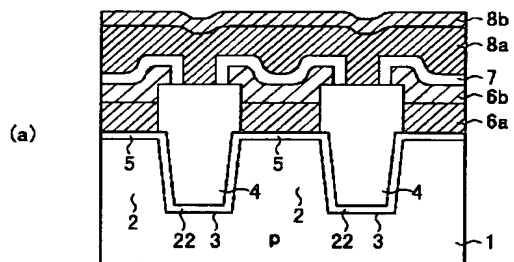
【図 14】



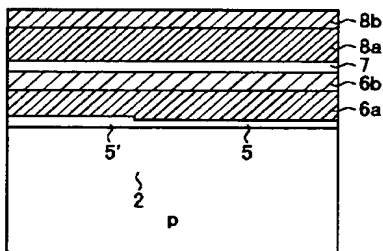
(b)



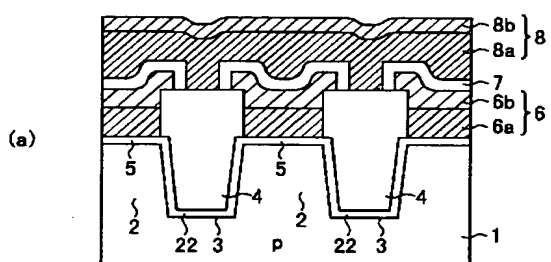
【図 15】



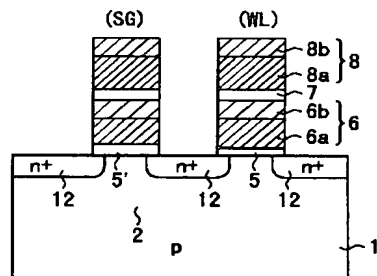
(b)



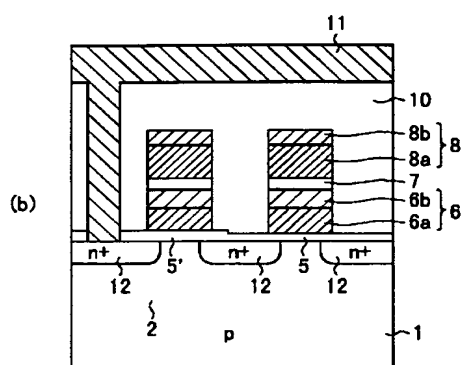
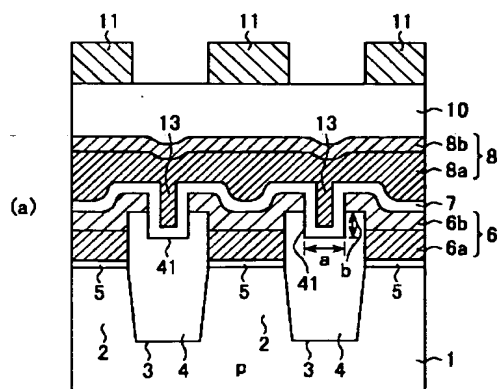
【図 16】



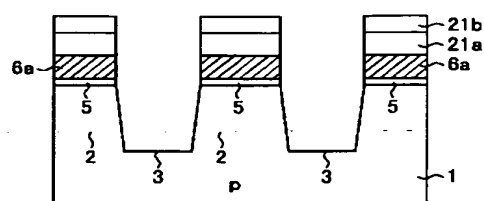
(b)



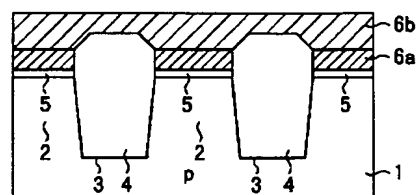
【図17】



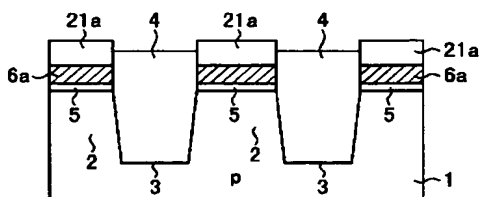
【図18】



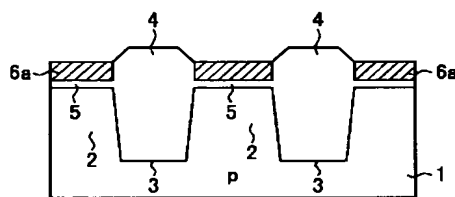
【図21】



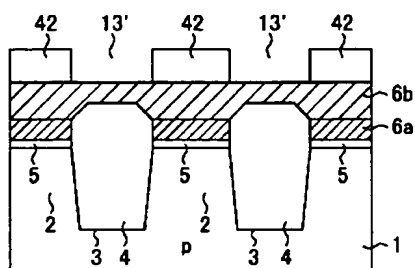
【図19】



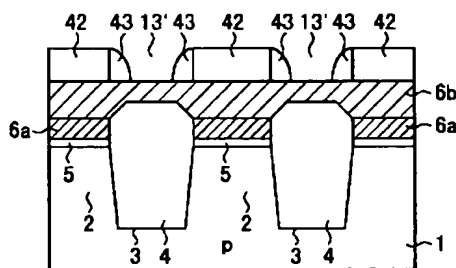
【図20】



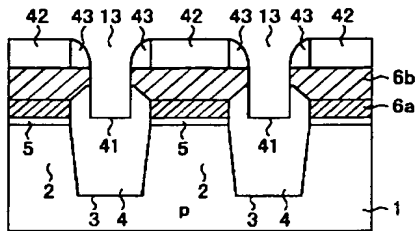
【図22】



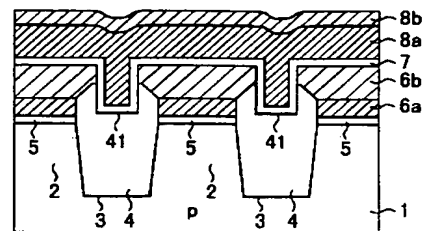
【図23】



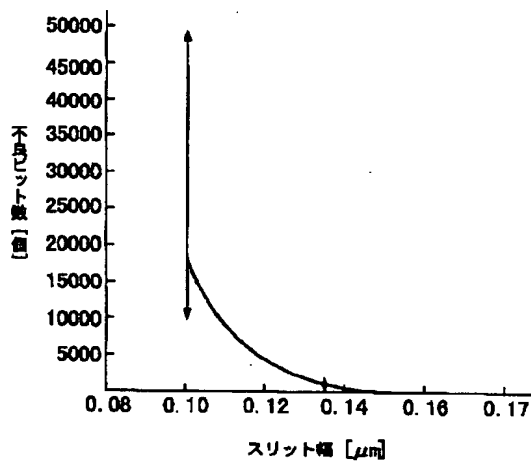
【図24】



【図25】



【図26】



フロントページの続き

(72) 発明者 角田 弘昭  
 三重県四日市市山之色町字中龍宮800番  
 地 株式会社東芝四日市工場内

Fターム(参考) 5F001 AA25 AA43 AA63 AB08 AD51  
 AD52 AD60 AF06 AG02 AG07  
 AG12 AG21 AG30  
 5F083 EP02 EP27 EP55 ER21 GA11  
 JA04 JA35 JA39 JA53 KA05  
 NA01 PR12 PR29 PR33  
 5F101 BA07 BA28 BA36 BB05 BD32  
 BD33 BD35 BF02 BH02 BH03  
 BH09 BH16 BH19